

特開2002-110951

(P2002-110951A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) IntCl ⁷	識別記号	FI	チコード(参考)
H01L 27/12		H01L 27/12	C 4M109
21/58		21/58	R 5F033
21/3205		23/12	501P 5F061
21/768		21/88	T
21/60		21/90	D

審査請求 有 請求項の数16 OL (全15頁) 最終頁に図

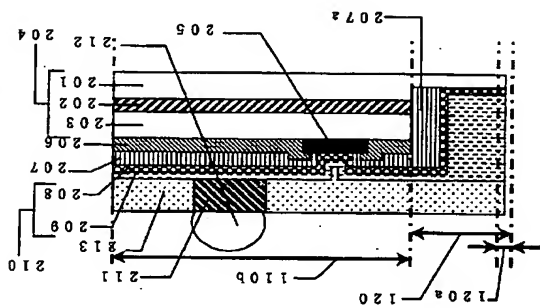
(21) 出願番号	特開2000-304720(P2000-304720)	(71) 出願人	000000295 神電工業株式会社
(22) 出願日	平成12年10月4日 (2000.10.4)		東京都港区虎ノ門1丁目7番12号
		(72) 発明者	大内 伸仁 東京都港区虎ノ門1丁目7番12号 神電工 工業株式会社内
		(74) 代理人	100089093 弁理士 大西 健治 Fターム(参考) 4M109 A02 B07 C04 C01 SP033 C033 H011 H018 J101 J111 J118 K001 M005 M030 N006 P015 Q009 Q010 Q037 R004 S011 T007 V007 SP061 A02 B07 C04 C01 C005

(54) 【発明の名称】 半導体装置及びその製造方法、半導体ウエハ及びそれにより製造される半導体装置

(57) 【要約】 (修正有)

【課題】 半導体装置の表面電位を固定するための導電層が設けられるエッジ領域を狭くする。

【解決手段】 素子形成領域110を囲むエッジ領域120を有するベース用半導体基板201と、素子形成領域110のベース用半導体基板201上に設けられる埋め込み酸化膜202と、埋め込み酸化膜202上に設けられる素子形成用半導体基板203と、素子形成用半導体基板203及び埋め込み酸化膜202の第3の面にエッジ領域120のベース用半導体基板201の一部上に設けられる絶縁膜207と、電極パッド205と絶縁膜207上とエッジ領域120のベース用半導体基板201上に設けられる導電層210と、素子形成領域120の第1の面に設けられる導電層211と、ポスト211の第3の面に設けられる導電層212と、導電層212と、導電層210と導電層211を封止する封止部材213と、を有するものである。



【特許請求の範囲】
【請求項1】 素子形成領域と該素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、前記素子形成領域の前記ベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、前記埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、前記素子形成用半導体基板上と、前記埋め込み酸化膜の第3の面と、前記エッジ領域のベース用半導体基板の第1の面に設けられる絶縁膜と、前記絶縁膜上と、前記エッジ領域のベース用半導体基板の第1の面に設けられる導電層と、前記導電層と電気的に接続されるように設けられる導電性柱状部材と、前記導電層とを封止する封止部材とにより構成される半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。
【請求項3】 素子形成領域と、該素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、前記素子形成領域の前記ベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、前記埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、前記素子形成用半導体基板上と、前記埋め込み酸化膜の第3の面に設けられる導電層パッドと、前記導電層パッドの一部と前記素子形成用半導体基板上とに設けられる酸化膜と、前記素子形成用半導体基板と前記エッジ領域の前記酸化膜と前記素子形成用半導体基板と前記埋め込み酸化膜を覆り、前記ベース用半導体基板を露出させる工程と、前記導電層パッドの一部と、前記酸化膜上と、前記露出された素子形成用半導体基板及び埋め込み酸化膜の第3の面と、前記露出されたベース用半導体基板の第1の面に設けられる絶縁膜と、前記絶縁膜上と、前記導電層パッド上と、前記絶縁膜上と、前記露出されたベース用半導体基板の第1の面に導電層を設ける工程と、と、前記素子形成領域の前記導電層と電気的に接続されるように導電性柱状部材を設ける工程と、前記導電性柱状部材の第1の面に球状電極を設ける工程と、と、前記導電性柱状部材の第3の面及び前記導電層を封止する封止部材と、により構成されることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置であって、前記導電層は、前記エッジ領域の前記ベース用半導体基板の第1の面の一部に設けられ、前記エッジ領域の前記ベース用半導体基板の第1の面に設けられる導電層210と、素子形成領域の前記ベース用半導体基板の第1の面に設けられる導電層211と、導電層212と、導電層210と導電層211を封止する封止部材と、を有するものである。

【請求項5】 請求項3若しくは請求項4記載の半導体装置の製造方法。

装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。

【請求項6】 絶縁膜を介して素子形成領域を囲むエッジ領域に囲まれた複数の半導体装置からなる半導体ウエハであって、

前記素子形成領域の前記半導体装置は、ベース用半導体基板の第1の面に埋め込み酸化膜を介して素子形成用半導体基板が設けられ、

前記エッジ領域の前記半導体装置は、該ベース用半導体基板の第1の面に導電層が設けられたことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体ウエハであって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体ウエハ。

【請求項8】 請求項7記載の半導体ウエハを用いた半導体装置であって、

前記半導体装置は、前記半導体ウエハを前記エッジ領域で切断することによって製造されることを特徴とする半導体装置。

【請求項9】 素子形成領域と該素子形成領域を囲むエッジ領域とを有するベース用半導体基板の第1の面に、埋め込み酸化膜を介して素子形成用半導体基板を設けた半導体基板を有する半導体ウエハを準備する工程と、前記素子形成領域の前記素子形成用半導体基板上に電極パッドを設ける工程と、前記電極パッドの一部と前記素子形成用半導体基板上とに、酸化膜を設ける工程と、

前記エッジ領域の前記酸化膜と前記素子形成用半導体基板と前記埋め込み酸化膜を覆り、前記ベース用半導体基板を露出させる工程と、

前記導電層パッドの一部と、前記酸化膜上と、前記露出された素子形成用半導体基板及び埋め込み酸化膜の第3の面と、前記露出されたベース用半導体基板の第1の面に設けられる絶縁膜と、前記絶縁膜上と、前記導電層パッド上と、前記絶縁膜上と、前記露出されたベース用半導体基板の第1の面に導電層を設ける工程と、と、

前記素子形成領域の前記導電層と電気的に接続されるように導電性柱状部材を設ける工程と、

前記導電性柱状部材の第1の面に球状電極を設ける工程と、と、

前記導電性柱状部材の第3の面及び前記導電層を封止する封止部材と、により構成されることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置の製造方法であって、前記ベース用半導体基板の第2の面に第3の導電層を有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法であって、前記ベース用半導体基板の第2の面に第3の導電層を有することを特徴とする半導体装置の製造方法。

【請求項11】 素子形成領域と、該素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、前記素子形成領域の前記ベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、前記埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、

前記素子形成用半導体基板上に設けられる電極パッドと、前記電極パッドの一部と、前記素子形成用半導体基板上に設けられる酸化膜と、

前記電極パッドの一部と、前記酸化膜上と、前記素子形成用半導体基板上と、前記埋め込み酸化膜の第3の面に設けられる絶縁膜と、

前記電極パッド上と、前記絶縁膜上とに設けられる第1の導電層と、

前記絶縁膜上と前記素子形成用半導体基板及び前記埋め込み酸化膜の第3の面と前記エッジ領域の前記ベース用半導体基板の第1の面に設けられ、前記第1の導電層とは電気的に接続していない第2の導電層と、

前記第1の導電層と電気的に接続されるように設けられる第1の導電性柱状部材と、

前記第2の導電性柱状部材の第1の面に設けられる第2の導電層と、

前記第1及び第2の導電性柱状部材の第3の面と、前記第1及び第2の導電層とを封止する封止部材とにより構成されることを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置であって、

前記第2の導電層は、前記エッジ領域の前記ベース用半導体基板の第1の面に設けられ、

前記封止部材は、前記エッジ領域の前記ベース用半導体基板の第1の面を封止することを特徴とする半導体装置。

【請求項13】 請求項11若しくは請求項12記載の半導体装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。

【請求項14】 請求項11記載の半導体装置であって、

前記素子形成領域は、前記電極パッドを有する第1の領域と、前記エッジ領域と隣接する第2の領域とに分割され、該第1の領域と該第2の領域は、前記絶縁膜から前記埋め込み酸化膜まで至る第2の絶縁膜を介して隣接することを特徴とする半導体装置。

【請求項15】 請求項14記載の半導体装置であって、

て、前記第2の導電層は、前記エッジ領域の前記ベース用半導体基板の第1の面の一部に設けられ、

前記封止部材は、前記エッジ領域の前記ベース用半導体基板の第1の面を封止することを特徴とする半導体装置。

【請求項16】 請求項14若しくは請求項15記載の半導体装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】 本発明は、半導体装置の製造技術に関する。特に、SOI (Silicon on insulator) 基板を有し、半導体装置の裏面電位を有することのできる半導体装置と、その製造方法、及びその半導体装置により構成される半導体ウエハに関する。

【0002】 従来のSOI基板を有する半導体装置は、特開平11-354631号公報に記載されている。この従来の半導体装置について、図面を用いて説明する。

【0003】 図18は、従来の半導体装置の構成を示す断面図である。従来の半導体装置は、半導体支持基板1801上にシリコン酸化膜1802を介して、半導体層1803が設けられる半導体基板1804を有する。半導体基板1804は、トランジスタなどの回路を形成するための素子形成領域1800と、半導体支持基板1801の電位を固定するための基板電位取出し領域1820とを有する。ここで、素子形成領域1800と基板電位取出し領域1820の間には、絶縁分離層1805が形成されている。そして、素子形成領域1800は、この絶縁分離層1805に隣接し、絶縁分離層1805に取り囲まれている。従来の半導体装置は、基板電位取出し領域1820内に、半導体層1803からシリコン酸化膜1802を貫通し半導体支持基板1801に達する導電層1806を設けている。それにより、従来の半導体装置は、半導体層1803側から、電極1807及び導電層1806を介して半導体支持基板1801に電位が供給されている。よって、半導体支持基板1801の電位は、固定されている。

【0004】 本発明は、前記の半導体装置を改良し、図18に示されるように、従来の半導体装置において、導電層1806と絶縁分離層1805との間には半導体層1803が存在し、導電層1806と半導体装置のエッジ部との間にも半導体層1803が存在している。つまり、従来の半導体装置において、基板電位取出し領域内に形成される導電層は、半導体層によって囲まれている。そのため、基板電位取出し領域は、その半導体層の幅だけ、広くなるという問題点がある。この問題点は、

近年考えられているウエハレベルCSP (Wafer Level Chip Size Package) と呼ばれる半導体装置においては、回避しなくてはならぬ。なぜなら、ウエハレベルCSPとよばれる半導体装置は、チップサイズとほとんど同じ幅のパッケージであり、素子形成領域以外の領域を狭くする技術が要求されているからである。

【0005】 本発明は、半導体装置の半導体支持基板の電位 (裏面電位) を固定するための基板電位取出し領域をできる限り狭くする半導体装置を提供することを目的とする。

【0006】 課題を解決するための手段 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0007】 すなわち、本発明の半導体装置は、素子形成領域と素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、素子形成領域のベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、素子形成用半導体基板上と埋め込み酸化膜の第3の面とエッジ領域のベース用半導体基板の第1の面とに設けられる絶縁膜と、絶縁膜上とエッジ領域のベース用半導体層の第1の面とに設けられる導電層と、導電層と電気的に接続されるように設けられる導電性柱状部材と、導電性柱状部材の第3の面と導電層とを封止する封止部材とを有するものである。

【0008】 上記の手段によれば、半導体装置の裏面電位を固定するための導電層が形成される基板電位取出し領域をできる限り狭くする半導体装置を提供することができる。

【0009】 本発明の実施の形態 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、本発明の実施の形態を説明するための全図において、同一機能を示すものには同一符号を付与し、その繰り返しの説明は省略する。

【0010】 ここで、本発明の各実施の形態を説明する前に、図1を用いて、本発明の各実施の形態の半導体装置とウエハとの関係について説明する。本発明の各実施の形態の半導体装置は、ウエハ状態で製造されている。

図1 (a) は、本発明の各実施の形態の半導体装置とウエハとの関係を示す平面図である。図1 (b) は、図1 (a) のA-A'線についての断面図である。なお、図1 (b) は、省略のため、素子形成用半導体基板203上に形成されている酸化膜206等を省略している。本発明の各実施の形態の半導体装置は、トランジスタなどの回路素子が形成される素子形成領域110と、素子形成領域110を取り囲むエッジ領域120とを有している。そして、ウエハは、複数の半導体装置により構成され、各々の半導体装置はエッジ領域を介して他の半導体

装置と接続されている。ここで、素子形成領域110の半導体基板204は、ベース用半導体基板201の第1の面 (例えば、上面) に埋め込み酸化膜202を介して素子形成用半導体基板203が形成されている。つまり、素子形成領域110の素子形成用半導体基板203とベース用半導体基板201との間には、絶縁性物質である埋め込み酸化膜202が存在する。よって、素子形成領域110の半導体基板204は、SOI構造となっている。ここで、素子形成領域110は、エッジ領域120と隣接しない第1の領域110aと、エッジ領域120と隣接する第2の領域110bとに分割されている。エッジ領域120は、隣接する半導体装置を切り離す (スクラップ) ための、スクラップライン120aを有する。ウエハ状態で製造された本発明の各実施の形態の半導体装置は、スクラップライン120aに沿ってダイシングされることにより、図2、図5、図7から図11及び図13から図17に示すような断面構造を有する個片化された半導体装置となる。ここで、図2、図5、図7から図11及び図13は、個片化された半導体装置図1 (a) のB-B'線についての断面図である。

【0011】 (第1の実施の形態) 図2から図4までは、本発明の第1の実施の形態の半導体装置及びその製造方法に係る図である。図2は本発明の第1の実施の形態の半導体装置の構造を示し、図3及び図4は本発明の第1の実施の形態の半導体装置の製造工程を示している。なお、各図は、本発明の第1の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0012】 初めに、本発明の第1の実施の形態の半導体装置の構成を説明する。本発明の第1の実施の形態の半導体装置は、図2に示すように、半導体基板204と、例えばアルミからなる電極パッド205と、酸化膜206と、例えばポリイミドにより構成される絶縁膜207と、再配線210 (以下、導電層210という) と、例えばCu (銅) により構成される導電性柱状部材211 (以下、ポスト211という) と、例えばんだボールにより構成される球状電極212 (以下、んだボール212という) と、樹脂若しくは金属からなる封止部材213とにより構成されている。

【0013】 半導体基板204は、ベース用半導体基板201と、埋め込み酸化膜202と、素子形成用半導体基板203とにより構成されている。ベース用半導体基板201は、素子形成領域110とエッジ領域120とを有している。ここで、埋め込み酸化膜202は、素子形成領域110のベース用半導体基板201の第1の面 (例えば、上面) に設けられている。素子形成用半導体基板203は、埋め込み酸化膜202の第1の面 (例えば、上面) に設けられている。なお、エッジ領域120内のベース用半導体基板201の第1の面には、埋め込

み酸化膜202及び葉子形成用半導体基板203は設けられていない。

【0014】電極パッド205は、葉子形成用半導体基板203上に設けられている。

【0015】酸化膜206は、電極パッド205の第1の面(例えば、上面)の一部と、電極パッド205の第3の面(例えば、側面)と、葉子形成用半導体基板203上に設けられている。

【0016】絶縁膜207は、電極パッド205の第1の面の一部と、酸化膜206上と、エッジ領域120内のベース用半導体基板201の第1の面の一部とに設けられている。ここで、エッジ領域120内に設けられている絶縁膜207の一部の絶縁膜207aは、第2の領域110bとエッジ領域120との境界に設けられている。そして、絶縁膜207aは、第2の領域110b内のベース用半導体基板201の第1の面と、埋め込み酸化膜202の第3の面(例えば、側面)と、葉子形成用半導体基板203の第3の面(例えば、側面)と、酸化膜206の第3の面(例えば、側面)とに設けられている。

【0017】導電層210は、例えばTi(チタン)からなる金属膜208(以下、Ti金属膜208という)と、例えばCu(銅)からなる金属膜209(以下、Cu金属膜209という)とにより構成されている。Ti金属膜208は、電極パッド205の第1の面の一部と、絶縁膜207、207a上と、エッジ領域120内のベース用半導体基板201の第1の面とに設けられている。ここで、Ti金属膜208は、電極パッド205と電気的に接続されている。また、エッジ領域120のTi金属膜208は、ベース用半導体基板201と電気的に接続されている。Cu金属膜209は、Ti金属膜208上に設けられている。Cu金属膜209は、Ti金属膜208と電気的に接続されている。よって、ベース用半導体基板201は、導電層210を介して、電極パッド205と電気的に接続されている。ここで、第2の領域110bのベース用半導体基板201の第1の面からCu金属膜209までの高さとは、エッジ領域120のベース用半導体基板201の第1の面からCu金属膜209までの高さとは、ほぼ同じである。ここで、導電層210がTi金属膜208とCu金属膜209とにより構成されている理由は、Cu金属膜209が剥がれる可能性があるからである。そのため、Cu金属膜209に比べて耐がけにくいTi金属膜208を絶縁膜207上に設け、Ti金属膜208上にCu金属膜209を設けている。

【0018】ポスト211は、葉子形成領域110のCu金属膜209上に設けられている。ここで、ポスト211は、Cu金属膜209と電気的に接続されている。

【0019】はんだボール212は、ポスト211の第

【0027】(3) はんだボール212を介して他の半導体装置と接続されたとき、はんだボール212を介して電圧が供給される。供給された電圧は、電極パッド205を介して本発明の第1の実施の形態の半導体装置の内部回路に供給されると共に、導電層210を介してベース用半導体基板201に供給される。よって、本発明の第1の実施の形態の半導体装置は、ベース用半導体基板201の基底電位を固定することができる。

【0028】(4) エッジ領域120の半導体装置は、ベース用半導体基板201と、ベース用半導体基板201の第1の面に設けられた導電層210と、導電層210上に設けられた封止部材213とにより構成されている。そのため、エッジ領域120の導電層210の第3の面(例えば、側面)は、露出されている。よって、本発明の第1の実施の形態の半導体装置は、導電層210の露出した第3の面を介して他の半導体装置と接続した場合、他の半導体装置から電圧を供給されること及び他の半導体装置に電圧を供給することができる。

【0029】次に、本発明の第1の実施の形態の半導体装置の製造方法について説明する。本発明の第1の実施の形態の半導体装置は、ウェハ状態で複数個同時に製造される。図3及び図4は、図1(a)のC-C'線についての断面図である。ここで、図3及び図4では、説明の都合上、2つの半導体装置300、350が示されているが、2つに限られたいことは言うまでもない。以下、特に、葉子形成領域110の第2の領域110b及びエッジ領域120において、半導体装置300が製造される工程について説明する。

【0030】初めに、図3(a)に示すように、ベース用半導体基板201の第1の面に埋め込み酸化膜202を介して葉子形成用半導体基板203を設けて、半導体基板204を有するウェハを準備する。ここで、半導体基板204は、葉子形成領域110の第2の領域110bと、葉子形成領域110を取り囲むエッジ領域120とを有する。第2の領域110b内の葉子形成用半導体基板203上は、電極パッド205を設ける。そして、電極パッド205の第1の面の一部と、葉子形成用半導体基板203上に、酸化膜206を設ける。

【0031】次に、図3(b)に示すように、ダイシングブレードを用いて、エッジ領域120内の酸化膜206からベース用半導体基板201に向かって、酸化膜206と、葉子形成用半導体基板203と、埋め込み酸化膜202とを削る。そして、ベース用半導体基板201を露出させる。ここで、ベース用半導体基板201は、少し削られてよい。

【0032】次に、図3(c)に示すように、CVD法を用いて、酸化膜206上と、電極パッド205の第1の面の一部とに絶縁膜207を設ける。また、同時に、CVD法を用いて、露出されたベース用半導体基板201の第1の面の一部と、露出された埋め込み酸化膜20

2の第3の面と、露出された葉子形成用半導体基板203の第3の面と、露出された酸化膜206の第3の面とに絶縁膜207aを設ける。ここで、絶縁膜207aは、絶縁膜207の一部である。

【0033】次に、図3(d)に示すように、スパッタ法を用いて、電極パッド205の第1の面と、絶縁膜207上と、露出されたベース用半導体基板201の第1の面と、絶縁膜207a上とにTi金属膜208を設ける。

【0034】次に、図4(a)に示すように、スパッタ法を用いて、Ti金属膜208上に、Cu金属膜209を設ける。ここで、Cu金属膜209は、半導体基板204に形成された溝が埋まるように設ける。つまり、葉子形成領域110及びエッジ領域120のCu金属膜209は、ほぼ水平となる。

【0035】次に、図4(b)に示すように、フォトリソグラフィ法及びドライエッチ法を用いて、第2の領域110bのCu金属膜209上に、ポスト211を設ける。ここで、ポスト211は、Cu金属膜209と電気的に接続されるように設けられる。

【0036】次に、図4(c)に示すように、Cu金属膜209及びポスト211を封止部材213で封止する。ここで、封止部材213が樹脂の場合、トランスファーマーロード方法若しくはポットティング方法等を用いて、ポスト211全体が封止部材213で覆われるように封止する。なお、封止部材213が金属の場合、ポスト211全体を封止するのではなく、ポスト211の第1の面は露出させてもよい。

【0037】次に、図4(d)に示すように、露出しているポスト211の第1の面にスクリーン印刷、はんだメッキ若しくはスーパースOLDERING方法を用いて、はんだボール212を搭載する。そして、ウェハをスクライプライン120aに沿ってダイシングし、図2に示されるような半導体装置を得る。ここで、封止部材213が樹脂の場合、樹脂の上面を全面エッチング(グラインド)し、ポスト211の第1の面を露出させる。

【0038】ここで、図3(b)及び図3(c)に示される工程において絶縁膜207aを設けるとともに、第1の領域110aの葉子形成用半導体基板203に絶縁膜207bを設ける。

【0039】本発明の第1の実施の形態の半導体装置の製造方法によれば、以下の効果を奏する。

【0040】(5) 葉子形成領域110の電極パッド205とポスト211とを電気的に接続するための導電層210を形成する工程において、エッジ領域120にベース用半導体基板201の電位を固定するための導電層210を同時に設けることができる。加えて、第1の領域110aの葉子形成用半導体基板203に絶縁膜207bを設ける工程において、エッジ領域120に絶縁膜207aを同時に設けることができる。よって、エッ

(c) の工程の代わりに図6に示す工程を行う。図4(a)の工程において、Cu金属膜209を写し取る。つまり、エッジ領域120の半導体基板204の露出部分に、Cu金属膜209を設けない。そして、図6に示すように、封止部材213が、半導体基板204の露出部分に設けられる。

【0048】本発明の第2の実施の形態の半導体装置の製造方法によれば、本発明の第1の実施の形態の半導体装置の製造方法において得られる効果(5)及び(6)に加え、以下の効果を奏する。

本発明の第2の実施形態の半導体装置の製造方法は、導電層210を露けずにスクライプすることができる。[0050] (第3の実施形態) 図7は、本発明の第3の実施形態の半導体装置に係わる図である。図7は、本発明の第3の実施形態の半導体装置の構造を示して、なお、図7は、本発明の第3の実施形態の半導体装置のエッジ領域120及び葉子形成領域110の第2の領域110bの部分断面図である。

【0051】図7に示すように、本発明の第3の実施形態の半導体装置では、エッジ領域120の封止部材211は、ベース用半導体基板20の第1の面101にまで設けられている。よって、エッジ領域120の封止部材213と導電層210とが接触している面積は、広くなっている。つまり、本発明の第3の実施形態の半導体装置のエッジ部分は、封止部材213とベース用半導体基板20とが露出され、導電層210は露出されていない。

て得られる効果(1)～(4)に加え、以下の効果を奏する。

なく、エッジ領域120のベース用半導体基板201の第1の面に設けられているため、アンカー効果が強い。よって、本発明の第3の実施の形態の半導体装置は、エッジ領域120の封止部材213を剥離しにくくすることができ、

は、外気に触れていないので、水分と接触する機会が少
ない。よって、本発明の第3の実施の形態の半導体装置
は、導電層210の腐食を防ぐことができる。

4の実施の形態の半導体装置に係わる図である。図8は本発明の第4の実施の形態の半導体装置の構造を示している。なお、図8は、本発明の第4の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第

【0062】次に、本発明の第4の実施の形態の半導体装置が、ベース用半導体基板201の電位を固定する方法について説明する。

装置が、ベース用半導体基板201の電位を固定する方法について説明する。

半導体基板201に供給される。よって、ベース用半導体基板201の電位は、固定される。ここで、はんだボール212を介して供給された電圧は、ベース用半導体基板201に供給されず、導電層210及び電極パッド205を介して回路素子に供給される。

【0064】本発明の第4の実施の形態の形態の半導体装置によれば、本発明の第1の実施の形態の半導体装置において得られる効果(1)～(2)及び(4)に加え、以下の効果を奏する。

なり狭く構成することができる。

いる。なお、図9は、本発明の第5の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0068】図9に示すように、本発明の第5の実施形態の半導体装置では、エッジ領域120の封止部材213の厚さは、第2の領域110bの封止部材213の厚さより厚く形成されている。よって、エッジ領域120の封止部材213と第2の領域801とが接触している面積は、広くなっている。また、エッジ領域120の半導体装置の側面において、封止部材213の露出している面積は、広くなっている。よって、エッジ領域

120の第2の導電層801の露出している面積は、狭くなっている。

【0069】本発明の第5の実施の形態の半導体装置によれば、本発明の第1、第2及び第4の実施の形態の半導体装置において得られる効果(1)～(2)。

(4) (7) ~ (8) 及び (12) の効果を導する。

【0070】なお、図9(b)に示すように、葉子形成領域1100の第1の領域110aの葉子形成用半導体基板203と、第2の領域110bの葉子形成用半導体基板203との境界部分に、絶縁膜207bを設けてもよい。それにより、エッジ領域120の絶縁膜207aを削除することができ、図9(b)のエッジ領域120は、図9(a)のエッジ領域120に比べ、かなり狭く構成することができる。

【0071】（第6の実施の形態）図10は、本発明の第6の実施の形態の半導体装置に示される図である。図10は本発明の第6の実施の形態の半導体装置の構造を示している。なお、図10は、本発明の第6の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0072】図10に示すように、本発明の第6の実施の形態の半導体装置では、エッジ領域120の封止部材213は、第2の導電層801の表面と、ベース用半導体基板201の第1の面に設けられている。よって、エッジ領域120の封止部材213と第2の導電層801とが接触している面は、広くなっている。つまり、本発明の第6の実施の形態の半導体装置のエッジ部分では、封止部材213とベース用半導体基板201とが露出され、第2の導電層801は露出されていない。

【0073】本発明の第6の実施の形態の半導体装置によれば、本発明の第1、第3及び第4の実施の形態の半導体装置において得られる効果(1)～(2)、(4)、(10)～(11)及び(12)の効果を奏する。

【0074】なお、図10(b)に示すように、葉形形成領域110の第1の領域110aの葉形形成用半導体基板203と、第2の領域110bの葉形形成用半導体基板203との境界部分に、絶縁膜207bを設けてもよい。それにより、エッジ領域120の絶縁膜207aを削除することができる。よって、図10(b)のエッジ領域120は、図10(a)のエッジ領域120に比べて、かなり狭く構成することができる。

【0075】（第7の実施の形態）図11及び図12は、本発明の第7の実施の形態の半導体装置及びその製造方法に係わる図である。図11は本発明の第7の実施の形態の半導体装置の構造を示し、図12は本発明の第7の実施の形態の半導体装置の製造工程を示している。なお、各図は、本発明の第7の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0076】初めに、本発明の第7の実施の形態の半導体装置の構造を説明する。図11に示すように、本発明の第7の実施の形態の半導体装置は、第3の再配線1100（以下、第3の導電層1100という）を有している。第3の導電層1100は、例えばTi（チタン）からなる金属膜1101（以下、第3のTi金属膜1101という）と、例えばCu（銅）からなる金属膜1102（以下、第3のCu金属膜1102という）とにより構成されている。

【0077】第3のTi金属膜1101は、ペース用半導体基板201の第2の面（例えば、底面）と、絶縁膜202aの第2の面（例えば、底面）と、Ti金属膜208の第2の面（例えば、底面）とに設けられている。ここで、エッジ領域120の第3のTi金属膜1101は、導電層210と電気的に接続されている。第3のCu金属膜1102は、第3のTi金属膜1101の第2の面（例えば、底面）に設けられている。第3のCu金属膜1102は、第3のTi金属膜1101と電気的に接続されている。

【0078】本発明の第7の実施の形態の半導体装置によれば、本発明の第1の実施の形態の半導体装置において得られる効果(1)～(4)に加え、以下の効果を奏する。

【0079】（13）第3の導電層1100は、ベース用半導体基板2010の第2の面と、絶縁膜207aの第2の面と、Ti金属層208の第2の面とに設けられては、よって、本発明の第7の実施の形態の半導体装置1100は、はんだボール212を介して供給された電圧を、第3の導電層1100を介してベース用半導体基板201全体に供給することができきる。また、本発明の第7の実施の形態の半導体装置1100は、はんだボール212を介して電圧が供給されない場合でも、第3の導電層1100を用いてベース用半導体基板201に電圧を供給すること

【0080】次に、本発明の第7の実施の形態の半導体装置を製造する方法について、図12を用いて説明する。ここで、図12の工程は、図4(d)の工程の後に、図5(c)の工程を併行して行う。しかし、本発明の第7の実施の形態の半導体装置を製造する方法は、図4(c)の工程と図4(d)の工程の間に、図12に示す工程を行なうことも可能である。

【0081】初めに、図12(a)に示すように、ダイシングブレードを用いて、エッジ領域120の総縁部207aと、エッジ領域120のT1金属膜208が露出するまで、ベース用半導体基板201の第2の面全体を削る。

【0082】次に、図12(b)に示すように、スパッタ法を用いて、削られたベース用半導体基板201の第2の面と、露出された絶縁膜207a及びTi金膜208とに第3のTi金膜1101を設ける。

【0083】次に、図12(c)に示すように、スパッタ法を用いて、第3のTi金属膜1101の裏面に、第3のCu金属膜1102を設ける。

【0084】本発明の第7の実施の形態の半導体装置の製造方法によれば、本発明の第1の実施の形態の半導体装置の製造方法において得られる効果(5)及び(6)を奏する。

【0085】（第8の実施の形態）図13は、本発明の第8の実施の形態の半導体装置に係わる図である。図13は、本発明の第8の実施の形態の半導体装置の構造を示している。なお、図13は、本発明の第8の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0086】図13に示すように、本発明の第8の実施の形態の半導体装置は、本発明の第2の実施の形態の半導体装置のベース用半導体基板201の第2の面に、第3の導電層1100を設けている。

【0087】本発明の第8の実施の形態の半導体装置によれば、本発明の第1、第2及び第7の実施の形態の半導体装置において得られる効果(1)～(4)、(7)～(8)及び(13)を奏する。

【0088】（第9の実施の形態）図14は、本発明の第9の実施の形態の半導体装置に係わる図である。図14は、本発明の第9の実施の形態の半導体装置の構造を示している。なお、図14は、本発明の第9の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0089】図14に示すように、本発明の第9の実施の形態の半導体装置は、本発明の第3の実施の形態の半導体装置のベース半導体基板201の第2の面に、第3の導電層1100を設けている。

【0090】本発明の第9の実施の形態の半導体装置によれば、本発明の第1、第3及び第7の実施の形態の半導体装置において得られる効果(1)～(4)、(10)～(11)及び(13)を奏する。

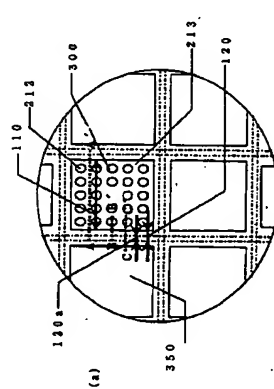
【0091】第10の実施の形態)図15は、本発明の第10の実施の形態の半導体装置に係る図である。図15は、本発明の第10の実施の形態の半導体装置の構造を示している。なお、図15は、本発明の第10の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図であ

【0092】図15に示すように、本発明の第10の実施の形態の半導体装置は、本発明第4の実施の形態の半導体装置のベース用半導体基板201の第2の面に、第3の導電層1100を設けている。

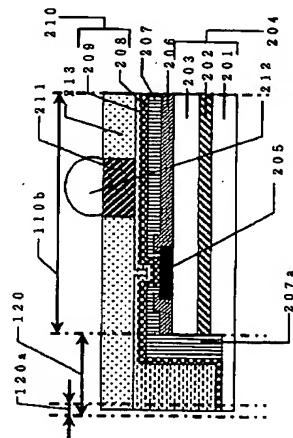
【0093】本発明の第10の実施の形態の半導体装置によれば、本発明の第1、第4及び第7の実施の形態の半導体装置において得られる効果(1)～(2)、(4)及び(12)～(13)を奏する。

【図3】本発明の第1の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図4】本発明の第1の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図5】本発明の第2の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図6】本発明の第2の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図7】本発明の第3の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図8】本発明の第4の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図9】本発明の第5の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図10】本発明の第6の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図11】本発明の第7の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図12】本発明の第7の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図13】本発明の第8の実施の形態の半導体装置の製造工程を説明する部分断面図である。

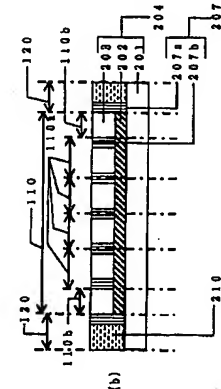
【図1】



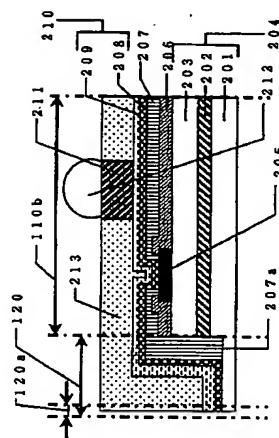
【図2】



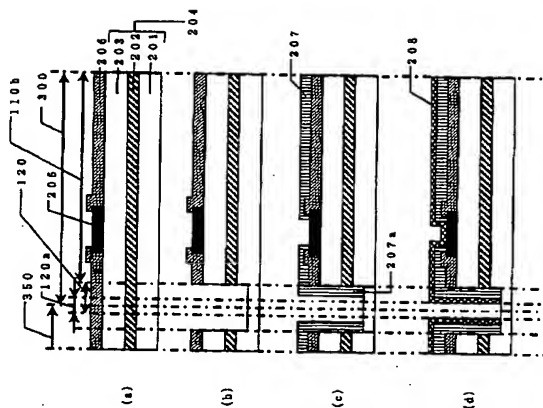
【図3】



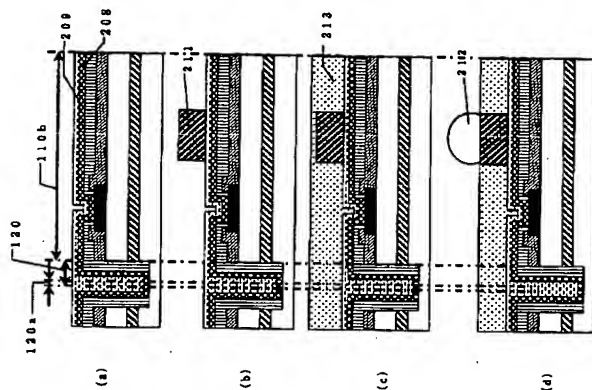
【図5】



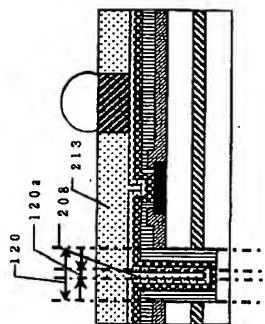
【図3】



【図4】



【図6】



【図7】

